

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000109396 A

(43) Date of publication of application: 18 . 04 . 00

(51) Int. Cl

C30B 29/06

H01L 21/20

H01L 21/322

(21) Application number: 11084916

(22) Date of filing: 26 . 03 . 99

(30) Priority: 07 . 08 . 98 JP 10224829

(71) Applicant: NIPPON STEEL CORP NSC ELECTRON CORP

(72) Inventor: HASEBE MASAMI
NAKAI KATSUHIKO
IWASAKI TOSHIO
OHASHI WATARU
IKARI ATSUSHI

(54) SILICON SEMICONDUCTOR SUBSTRATE AND ITS PRODUCTION

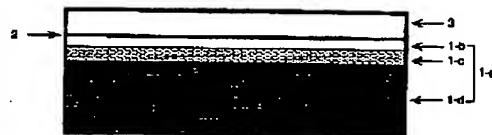
enhance the gettering ability.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the occurrence of defects as much as possible in an epitaxial layer and in the region near the interface of the epitaxial layer and a substrate wafer and to add excellent gettering characteristics, by using a silicon wafer containing a specified amt. of nitrogen as the substrate wafer and depositing a silicon single crystal layer by epitaxial method on the surface of the wafer.

SOLUTION: An amt. of nitrogen in the substrate wafer is specified to 1.0×10^{12} to 1.0×10^{16} atoms/cm³. The silicon wafer 1a satisfying the above condition is produced by Czochralski (CZ) method or magnetic field-applied CZ method by using fused silicon containing 1.0×10^{16} to 1.5×10^{19} atoms/cm³ nitrogen. By incorporating a specified amt. of nitrogen, the density of point defects during growing crystals and aggregation behavior of the crystals are changed to suppress production of minute defects or void defects in the epitaxial layer 3 and in the region 2, 1b near the interface. Further, proper crystal defects are produced in an IG layer 1d to



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-109396

(P2000-109396A)

(43)公開日 平成12年4月18日 (2000.4.18)

(51)Int.Cl.
C 30 B 29/06
H 01 L 21/20
21/322

識別記号
502

F I
C 30 B 29/06
H 01 L 21/20
21/322

テーマコード (参考)
A
502H
Y

審査請求 未請求 請求項の数12 ○L (全 26 頁)

(21)出願番号

特願平11-84916

(22)出願日

平成11年3月26日 (1999.3.26)

(31)優先権主張番号

特願平10-224829

(32)優先日

平成10年8月7日 (1998.8.7)

(33)優先権主張国

日本 (JP)

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(71)出願人 000111096

ニッテツ電子株式会社

東京都中央区八丁堀三丁目11番12号

(72)発明者 長谷部 政美

神奈川県川崎市中原区井田3-35-1 新
日本製鐵株式会社技術開発本部内

(74)代理人 100072349

弁理士 八田 幹雄 (外3名)

(54)【発明の名称】 シリコン半導体基板及びその製造方法

(57)【要約】

【課題】 エピタキシャル層内及びエピタキシャル層と
サブストレートウェハの界面付近の欠陥発生が極めて少
なく、デバイス製造熱処理工程を経てもエピタキシャル
層への結晶欠陥の発生を防止し、又、ウェハ内部析出物
が十分あるためデバイスプロセス熱処理におけるゲッタ
リング能力に優れたシリコン半導体基板及びその製造方
法を提供する。

【解決手段】 特定の窒素濃度や欠陥密度を含有するシ
リコンウェハをサブストレートウェハとし、その表面
にエピタキシャル層を堆積してなるシリコン半導体基板
とすることにより、上記目的を達成できる。このシリコ
ン半導体基板は、CZ法により窒素濃度や結晶育成中の
温度履歴を制御して育成した単結晶をウェハ加工し、さ
らにエピタキシャル層を堆積成長することで製造でき
る。



【特許請求の範囲】

【請求項1】 窒素含有量が 1.0×10^{13} atoms/cm³以上 1.0×10^{14} atoms/cm³以下であるシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板。

【請求項2】 酸素含有量が 1.0×10^{17} atoms/cm³以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\mu\text{m}$ までの領域において、直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/cm³以下であることを特徴とするシリコン半導体基板。

【請求項3】 酸素含有量が 1.0×10^{17} atoms/cm³以上シリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\mu\text{m}$ までの領域において、直径換算で 20nm 以上の結晶欠陥の密度が 5×10^4 個/cm³以下であることを特徴とするシリコン半導体基板。

【請求項4】 少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\mu\text{m}$ までの領域において、さらに直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/cm³以下である請求項3記載のシリコン半導体基板。

【請求項5】 前記サブストレートウェハがさらに窒素を 1.0×10^{13} atoms/cm³以上 1.0×10^{14} atoms/cm³以下含有してなる請求項2～4に記載のシリコン半導体基板。

【請求項6】 前記サブストレートウェハの厚み中心において、直径換算で 20nm 以上の結晶欠陥密度が 1×10^9 個/cm³以上である請求項1～5に記載のシリコン半導体基板。

【請求項7】 1.0×10^{16} atoms/cm³以上 1.5×10^{19} atoms/cm³以下の窒素を含有するシリコン融液を用いて育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積させることを特徴とするシリコン半導体基板の製造方法。

【請求項8】 チョクラルスキー法又は磁場印加チョクラルスキー法により、凝固温度から 800°C の結晶温度範囲を $2.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【請求項9】 チョクラルスキー法又は磁場印加チョクラルスキー法により 800°C ～ 400°C の結晶温度範囲を $1.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【請求項10】 チョクラルスキー法又は磁場印加チョクラルスキー法により育成したシリコン単結晶であって、結晶引上育成中のシリコン単結晶が凝固温度から 800°C の結晶温度範囲を $2.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度で育成し、引き続き 800°C ～ 400°C の結晶温度範囲を $1.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【請求項11】 1.0×10^{14} atoms/cm³以上 1.5×10^{19} atoms/cm³以下の窒素を含有するシリコン融液を用いてシリコン単結晶を育成する請求項8～10に記載のシリコン半導体基板の製造方法。

【請求項12】 チョクラルスキー法または磁場印加チョクラルスキー法により育成したシリコン単結晶から得たシリコンウェハを 1000°C 以上 1300°C 以下の温度で5分以上熱処理をしたものをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積する請求項7～11に記載のシリコン半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はエピタキシャルシリコン半導体基板の品質改善に関し、特に、エピタキシャル層およびエピタキシャル層とそのサブストレートウェハの界面付近の欠陥を除去し、エピタキシャル基板上に作成するデバイスの歩留りを向上させるエピタキシャル半導体基板及びその製造方法に関する。

【0002】

【従来の技術】 近年のデバイス集積度の向上にともないシリコン半導体基板表面および表層付近に基板製造直後から存在する微小欠陥やデバイス製造過程で誘起される結晶欠陥がデバイス形成時のデバイスバターン不良を起こしたり、デバイスの動作不良を引き起こし、デバイスの製造歩留りを低下させることが知られている。このデバイス歩留り低下の原因としては、基板製造直後の基板表面に $0.1\mu\text{m}$ 程度のピットとして検出されるCOP (Crystal Originated ParticlesあるいはCrystal Originated Pits) と呼ばれる欠陥が注目されている。これはシリコン半導体基板をアンモニア-過酸化水素の混合液で洗浄した際に、基板表面に生じる結晶欠陥を原因としたピットを指し、基板表面のパーティクルを計数する

検査装置によりこのピットが測定されるため、このように呼ばれる。COPとはこのような測定方法で検出される欠陥全般を総称するものであるが、通常のチョクラルスキ (CZ) 法もしくは磁場を印加したCZ法により育成されたシリコン単結晶では、この欠陥の実体は結晶中の八面体様の空隙（以下、空孔欠陥と称す）と考えられており、これがデバイスのバーン不良や構造的な破壊を引き起こすと推定されている。また、COP以外にも酸素析出物、転位ループ、および積層欠陥等の各種結晶欠陥も基板表面近傍に形成させないシリコン半導体基板として、CZ法や磁場印加CZ法により育成したシリコン単結晶からスライス、鏡面研磨したウェハ上に、化学気相成長法等によりシリコン単結晶層をエピタキシャル成長させたエピタキシャルシリコン基板が注目され、使用されるようになってきている。

【0003】エピタキシャルシリコン基板は、上述したようにシリコンウェハ上に酸素や欠陥をほとんど含まないような単結晶層を新たに堆積する基板であるが、エピタキシャル層堆積時にウェハの表面状態 (COP等の空孔欠陥や酸素析出物に起因するピットやヒルロックと呼ばれる微小丘状の欠陥、さらには積層欠陥等の存在) によりエピタキシャル層内に欠陥を発生させたり、デバイス製造過程においてウェハ表面近傍に存在する空孔欠陥や酸素析出物に起因してエピタキシャル層内に欠陥を誘起したり、ウェハ表面近傍の空孔欠陥や酸素不純物がエピタキシャル層内に拡散して新たな欠陥を形成する等の問題が生じていた。このため、高品質なエピタキシャルシリコン基板を得るために、エピタキシャル層を堆積する元ウェハ自体の表面およびその近傍での無欠陥化技術が重要であるが、ウェハ自体にはデバイスプロセス中の各種汚染に対する耐性としてのゲッタリング能力も要求されており、ウェハ中心部にはゲッタリング能力を有する欠陥を適度に作り込むことも必要である。また、単結晶育成からエピタキシャル層付与までの製造工程が長く、品質管理も厳格に行うため、基板の製造コストが増加する傾向にあるが、いかに高品質のエピタキシャルシリコン半導体基板を低成本で製造できるようにするかという点も重要な課題である。

【0004】そこで、エピタキシャル基板に用いられるシリコンウェハについて、表面近傍の欠陥低減技術やゲッタリング能力向上のためのウェハ内部の欠陥作り込み技術として、これまでにいくつかの提案がなされている。例えば、特開平5-283350号公報には、イントリニシックゲッタリング (IG) 処理されたウェハに対してシリコン単結晶薄膜を気相成長前に水素を含む雰囲気内で熱処理を施すことにより、ウェハ基板からシリコン単結晶薄膜に生じる欠陥発生起点を消滅させ、その後気相成長により薄膜形成するエピタキシャルシリコン半導体ウェハの製造方法が提案されている。また、特開平8-250506号公報には、単結晶シリコンインゴ

ットから形成したウェハを用い、IG効果を付与するためのIG処理工程と、酸素析出物 (BMD) 密度を制御するための温度保持工程と、ウェハ表面にエピタキシャル処理工程を行うことによって、BMD密度調整領域をウェハ内部に形成したシリコンエピタキシャルウェハが提案されている。さらに、特開平9-199507号公報には、特定の熱処理により、表層には無欠陥 (DZ) 層を有する場合はLSI形成領域より深層にSiO₂析出物を所定量含有させ、後工程でエピタキシャル成膜する場合は表面よりほぼ均一にSiO₂析出物を所定量含有させることにより、汚染重金属のIG能力が高く、基板の反りを低減し強度の優れた半導体基板が提案されている。これらの技術では、各種熱処理を施しているものの、ウェハ自体のIG効果を確保することを最優先しているため、エピタキシャル層を堆積するサブストレートウェハ表面および表層付近に存在しているエピタキシャル成長に有害な結晶欠陥を完全には消去しきれず、エピタキシャル層内に欠陥が残留したり、デバイス製造工程で欠陥が誘起する問題を抱えるとともに、熱処理工程が複雑で生産性を大幅に低下させ、製造コスト増加させるという問題点があった。また、特開平8-162406号公報には、あらかじめ 5×10^6 個/cm³以上の高密度な結晶欠陥を含むサブストレートシリコンウェハにエピタキシャル成長させ、基板内部にゲッタリング層を備えたウェハが提案されている。しかしながら、本方法においても、IG効果を優先しているため、サブストレートウェハ表面および表層付近に存在しているエピタキシャル成長に有害な結晶欠陥を完全には消去しきれず、エピタキシャル層内に欠陥が残留したり、デバイス製造工程で欠陥が誘起する問題があった。

【0005】一方、シリコンウェハ表面のCOPを消滅もしくは低減させる技術として、単結晶育成の際の結晶成長速度を0.8mm/分以下とする技術（特開平2-267195号公報）、単結晶の冷却挙動の制御、特に単結晶が約1200°Cから1000°Cの温度範囲を通過する時間を制御する技術（特開平8-12493号公報、特開平8-91983号公報、特開平9-227289号公報）が提案されている。低成長速度での結晶育成では、空孔欠陥を作る要素である空孔型点欠陥 (vacancy) の結晶成長界面での導入量を減少させ、また単結晶の冷却速度を緩やかなものとすることにより、冷却中に発生する過飽和な空孔型点欠陥 (vacancy) の発生を抑えるものであるが、この方法では、成長速度の低下による生産性の低下を招くとともに、転位ループ等の別種の結晶欠陥を発生させるという問題があった。また、結晶冷却条件の制御技術では、生産性の点での問題はないものの、COP密度の低減は概ね10⁴個/cm³程度が限界で、更なるCOPの低減、例えば 5×10^3 個/cm³以下の密度を達成することは困難であった。

【0006】また、単結晶育成時にCOPを低減させる

技術以外にも、単結晶インゴットからスライス・研磨してウェハとした後の熱処理により、基板表面のCOPを低減・消滅させる技術も提案されている。例えば、特開昭59-20264号公報では、水素雰囲気中で熱処理する技術、即ち、水素雰囲気を用いることにより、最表面のCOPを消滅させ、かつ表面から0.5 μm以内のCOP密度を10¹個/cm³以下とすることが開示されている。しかしながら、我々の実験では、このようなシリコンウェハにエピタキシャル層を堆積しても、表面からの深さが0.5 μm以内の欠陥制御では不十分で、エピタキシャル層やエピタキシャル層とシリコンウェハの界面近傍に結晶欠陥が残留したり、デバイス製造工程の熱処理によってエピタキシャル層内に結晶欠陥を発生させたりする場合があったり、逆に、水素熱処理によってシリコンウェハ内部の結晶欠陥を過剰に消滅させ、ウェハのIG特性を著しく低下させると言う問題を有することが判った。

【0007】シリコン単結晶に窒素を添加することについて、添加方法に関しては特開昭60-251190号公報等が知られている。フロートゾーン(FZ)単結晶における窒素添加効果として、特開昭57-17497号公報等に結晶強度の増加が知られている。また、特開平5-294780号公報には、シリコン中に添加した窒素が点欠陥の一種である空孔と相互に作用又は結合して、空孔が関与したクラスター(空孔欠陥)の生成を抑制し、空孔欠陥が原因と考えられているエッチビットの発生が抑制されることが開示されている。しかし、K. K. akumoto, et al.; Proceedings of The 2nd International Symposium on Advanced Science and Technology of Silicon Materials, p. 437~442 (1996)に示されるように、窒素と空孔とが結合した欠陥が多くなるとシリコン結晶中に電子や正孔の発生あるいは再結合中心となり電気特性を変化させ、さらに、酸素を含むシリコン基板においては窒素が酸素と複合欠陥を形成して基板の抵抗を変化させたり、さらに熱処理により積層欠陥ができ易くなることが知られている。

【0008】

【発明が解決しようとする課題】このように従来技術では一長一短があり、近年の半導体デバイスの一層の微細化、高集積化に伴なう要求特性に答えられる半導体基板として、シリコン基板の表面近傍の結晶欠陥を消去し、かつ十分なIG能力を基板内部に有するような高品質の半導体基板を低成本で供給することが要望されている。

【0009】そこで、本発明は、上述した従来技術における問題点を解決し、エピタキシャル層およびエピタキシャル層とサブストレートウェハの界面近傍領域の欠陥発生を極めて少なく、さらにIG特性も付与した高品質で低成本なエピタキシャルシリコン半導体基板及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】エピタキシャルシリコン半導体基板で発生する欠陥について、デバイス製造工程、エピタキシャル成長工程、さらにはシリコンウェハ製造工程にまで遡って、実験並びに理論考察を鋭意検討した結果、新たな知見を得、本発明を完成させたものである。即ち、本発明は、(1) 窒素含有量が1.0 × 10¹¹ atoms/cm³以上1.0 × 10¹⁶ atoms/cm³以下のシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板、(2) 酸素含有量が1.0 × 10¹⁷ atoms/cm³以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1 μmまでの領域において、直径換算で0.1 μm以上の結晶欠陥の密度が5 × 10⁴個/cm³以下であることを特徴とするシリコン半導体基板、(3) 酸素含有量が1.0 × 10¹⁷ atoms/cm³以上シリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1 μmまでの領域において、直径換算で20 nm以上の結晶欠陥の密度が5 × 10⁴個/cm³以下であることを特徴とするシリコン半導体基板、(4) 少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1 μmまでの領域において、さらに直径換算で0.1 μm以上の結晶欠陥の密度が5 × 10⁴個/cm³以下である(3)記載のシリコン半導体基板、(5) 前記サブストレートウェハがさらに窒素を1.0 × 10¹³ atoms/cm³以上1.0 × 10¹⁸ atoms/cm³以下含有してなる(2)～(4)に記載のシリコン半導体基板、(6) 前記サブストレートウェハの厚み中心において、直径換算で20 nm以上の結晶欠陥密度が1 × 10⁴個/cm³以上である(1)～(5)に記載のシリコン半導体基板、(7) 1.0 × 10¹⁶ atoms/cm³以上1.5 × 10¹⁹ atoms/cm³以下の窒素を含有するシリコン融液を用いて育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積させることを特徴とするシリコン半導体基板の製造方法、(8) チョクラルスキー法又は磁場印加チョクラルスキー法により、凝固温度から800°Cの結晶温度範囲を2.0°C/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方

法、(9) チョクラルスキー法又は磁場印加チョクラルスキー法により800°C~400°Cの結晶温度範囲を1.0°C/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法、(10) チョクラルスキー法又は磁場印加チョクラルスキー法により育成したシリコン単結晶であって、結晶引上育成中のシリコン単結晶が凝固温度から800°Cの結晶温度範囲を2.0°C/分以上の冷却速度で育成し、引き続き800°C~400°Cの結晶温度範囲を1.0°C/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法、(11) $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてシリコン単結晶を育成する(8)~(10)に記載のシリコン半導体基板の製造方法、(12) チョクラルスキー法または磁場印加チョ克拉ルスキー法により育成したシリコン単結晶から得たシリコンウェハを1000°C以上1300°C以下の温度で5分以上熱処理をしたものをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積する(7)~(11)に記載のシリコン半導体基板の製造方法、である。

【0011】

【発明の実施の形態】本発明を以下に詳細に説明する。【0012】先ず、第1の発明は、窒素含有量が $1.0 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以下のシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板である。

【0013】シリコンウェハの電気的特性の変化やデバイス熱処理時の積層欠陥などの欠陥発生を起こすことなく、ウェハ表面の微小ビットの発生を抑制するためには、シリコンウェハ中の窒素含有量を $1.0 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以下とする必要がある。そして、このようなシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積することにより、エピタキシャル層中やエピタキシャル層と該サブストレートウェハの界面近傍での微小欠陥や空孔欠陥の発生を抑制するとともに、ウェハ内部に適度な結晶欠陥を有しゲッタリング能力を増強するシリコン半導体基板となる。シリコンウェハ中の窒素含有量が、 $1.0 \times 10^{13} \text{ atoms/cm}^3$ 未満ではウェハ表面の微小ビットの発生を抑制できず、 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 超では、キャリアライフタイムや抵抗率などの電気的特性が変化したり積層欠陥が発生したりして、エピタキシャル層を堆積しても良好なシリコン半導体基板を得ることができない。なお、ウェハ中の窒

素含有量は、赤外吸収あるいはSIMS (Secondary Ion Mass Spectroscopy: 2次イオン質量分析装置) を用いることにより測定できる。赤外吸収での測定は、Applied Physics Letter 47号、p 488、1985に記載の手法に従い、 963 cm^{-1} の波数での吸収ピークから換算係数 $1.83 \times 10^{17} \text{ atoms/cm}^3$ を用いることにより定量できる。

【0014】第2の発明は、酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/ cm^3 以下であることを特徴とするシリコン半導体基板である。

【0015】酸素濃度を $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以上とするシリコン基板の製造方法は、通常は石英ルツボにより原料シリコン融液を支持し結晶成長させるCZ法や

磁場印加CZ法により製造可能である。すなわち、原料シリコン融液を支持している石英ルツボから酸素がシリコン融液中に溶解し単結晶凝固の際に結晶中に取り込まれる。所望の酸素濃度は、ルツボ回転数や融液加熱条件、雰囲気ガス流量や引上炉内圧力、あるいは磁場印加強度で調整可能である。シリコンウェハの酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$ 未満ではシリコンウェハの機械的強度やウェハ内部でのIG能力が低下することから、酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以上のシリコンウェハが必要である。ところで、シリコンウェハ中に酸素を含有すると、各種結晶欠陥が誘起されやすくなる。そこで、エピタキシャル層の品質に及ぼすシリコンウェハ中の結晶欠陥の影響を調べたところ、エピタキシャル層が堆積されるサブストレートとして用いられるシリコンウェハの表面から深さ $1 \mu\text{m}$ までの領域での結晶欠陥の存在形態が重要であることを見出した。直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥が多量に存在すると、エピタキシャル堆積工程やデバイス製造工程の熱処理工程を経ても残留し、エピタキシャル層内に欠陥を発生させる起点となり易いものである。サイズが $0.1 \mu\text{m}$ 以上の結晶欠陥は主として空孔欠陥であるが、従来のシリコンウェハでは該空孔欠陥は、 10^6 個/ cm^3 程度かそれ以上存在していた。ところが、前記領域での $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/ cm^3 以下であれば、エピタキシャル堆積工程における前熱処理としての熱処理工程で上記欠陥を収縮、拡散消滅して無害化でき、エピタキシャル層内に欠陥を発生させないシリコン半導体基板を得ることができる。前記領域で $0.1 \mu\text{m}$ 以上の結晶欠陥密度が 5×10^4 個/ cm^3 超では、エピタキシャル層内に欠陥を発生させ、特にエピタキシャル層が $1 \mu\text{m}$ 程度と薄膜の場合、デバイス製造工程での

バターン不良の原因となったり、酸化膜絶縁破壊特性や素子分離特性等に重大な影響を及ぼし、歩留り低下等の問題を生じる。

【0016】第3の発明は酸素含有量が 1.0×10^{17} atoms/cm³ 以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1 \mu\text{m}$ までの領域において、直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^3 個/cm³ 以下であることを特徴とするシリコン半導体基板である。

【0017】直径換算で 20 nm 以上の結晶欠陥は、前述の空孔欠陥の微小なもの他に、微小酸素折出物も含まれる。このような欠陥が大量にシリコンウェハ表面及び表層領域に存在すると、エピタキシャル成長時にサブストレートウェハとして用いられるシリコンウェハからエピタキシャル層内に該結晶欠陥が伝播、転写されたり、あるいは該結晶欠陥を起点にエピタキシャル層内に新たな欠陥が誘起されたりする原因となる。従来のサブストレートウェハとして用いられるシリコンウェハではこのような微小欠陥は、 10^7 個/cm³ 程度かそれ以上存在していたが、少なくともサブストレートウェハとして用いられるシリコンウェハ表面から深さ $1 \mu\text{m}$ までの領域において、直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^3 個/cm³ 以下であれば、エピタキシャル堆積工程における前処理としての熱処理工程で上記欠陥を分解消滅して無害化でき、エピタキシャル層内に新たな欠陥を誘起させないシリコン半導体基板を得ることができる。前記領域において、直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^3 個/cm³ 超では、熱処理で分解する欠陥量が多すぎるため、分解の結果生成する原子空孔や酸素不純物がエピタキシャル層内に拡散残存し、そのためデバイス製造工程における熱処理時に新たな結晶欠陥をエピタキシャル層内に誘起、形成してデバイス製造歩留りの低下原因となる。

【0018】さらに、第2の発明と第3の発明を組み合わせた第4の発明、すなわち、酸素含有量が 1.0×10^{17} atoms/cm³ 以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が 5×10^1 個/cm³ 以下で、かつ直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^3 個/cm³ 以下であることを特徴とする半導体基板とすることにより、欠陥の発生や誘起が起こらない無欠陥エピタキシャル層を有するシリコン半導体基板とすることができる。

【0019】また、第5の発明は第2～4の発明のエピタキシャル法により単結晶層を堆積するサブストレートウェハとして用いられるシリコンウェハ中にさらに窒素を 1.0×10^{11} atoms/cm³ 以上 1.0×10^{16} atoms/cm³ 以下含有してなるシリコン半導体基板である。

【0020】第1の発明で説明したようにシリコン単結晶中の窒素は、所定量含有させることにより、単結晶育成時の点欠陥濃度及び点欠陥凝集挙動を変化させる作用を有し、単結晶中の空孔欠陥形成を抑制する効果と基板強度の向上効果を発現するものである。従って、このような窒素含有シリコンウェハをエピタキシャル法により単結晶を堆積するサブストレートウェハとして用いることで、上述したサブストレートシリコンウェハ中の各種欠陥を低減しやすくして、より完全な無欠陥エピタキシャル層を有するシリコン半導体基板を提供できる。

【0021】さらに、第6の発明は、第1～5の発明でのサブストレートシリコンウェハの厚み中心領域において、直径換算で 20 nm 以上の結晶欠陥の密度が 1×10^3 個/cm³ 以上であるシリコン半導体基板である。

20 20 なお、該サブストレートシリコンウェハの厚み中心領域とは、該サブストレートウェハ表面から $1 \mu\text{m}$ より深い、好ましくは $20 \mu\text{m}$ 以上内部の領域を指すものである。該サブストレートウェハ内部領域に直径換算で 20 nm 以上の結晶欠陥を 1×10^3 個/cm³ 以上存在させることにより、デバイスの高集積化に伴うプロセス汚染の増加に対して有効なゲッタリング能力を効果的に付与することができ、デバイス製造歩留りの良好なシリコン半導体基板を提供することができる。

【0022】なお、上記した第1～第6の発明は、シリコンウェハの比抵抗の値の如何に関わらず成立するものであり、上記に示したようなそれぞれの条件を満たすことによって、上記所望の発揮できるものである。

【0023】以上のようなシリコン半導体基板の製造方法としては、CZ法、又は磁場印加CZ法により上述の条件を満足する基板が得られる製造方法で良く、特に限定するものではないが、以下に述べる製造方法であれば、生産性良く効率的に本発明のシリコン半導体基板を製造することができる。

【0024】第7の発明は、 1.0×10^{16} atoms/cm³ 以上 1.5×10^{19} atoms/cm³ 以下の窒素を含有するシリコン融液を用いてCZ法又は磁場印加CZ法により育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積するシリコン半導体基板の製造方法である。この方法の実施においては 1.0×10^{16} atoms/cm³ 以上 1.5×10^{19} atoms/cm³ 以下の窒素を含有するシリコン融液を用いてCZ法又は磁場印加CZ法により育成したシリコン単結晶インゴットをスライス、鏡面研磨して得られるシリコンウェハをサブストレートウェハとしその表面にシリコン単結晶層をエピタキ

シャル成長させる。シリコンの単結晶成長の際の窒素を添加は、原料溶解中に窒素ガスを流す方法、あるいは窒化物をCVD法等によって堆積させたシリコンウェハを原料溶解中に混入させる方法等がある。凝固後の結晶中に取り込まれる窒素の偏析係数は文献 W. Zulehner and D. Huber; *Crystals 8 -Growth, Properties, and Applications-*, p.28 (Springer-Verlag, New York, 1982) に示されるように 7×10^{-4} であり、前述の窒素濃度の融液を用いて結晶育成することにより窒素を $5.0 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以下含有するシリコンウェハの製造が可能となる。また、エピタキシャル成長法は、気相成長装置で行うが、通常、気相成長前に、水素ガス雰囲気内で所定（一般には 900°C から 1200°C の範囲内の一定温度）の温度域まで昇温し、引き続き塩化水素を含むガス等によるエッチングを数分行い、表面コンタミネーション除去及びウェハ表面の活性化を行った後、シラン系ガスを用いてウェハ表面にエピタキシャル薄膜を成長させるものである。

【0025】窒素を $1.0 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以下の濃度で含ませるよう成長させたシリコン結晶は、第1の発明で説明したとおり、窒素が結晶育成時の点欠陥濃度及び点欠陥の凝集挙動を変化させ、結晶中にCOPに代表される $0.1 \mu\text{m}$ 程度かそれ以上の空孔欠陥を形成させない。通常、結晶成長時に結晶温度が $1150^{\circ}\text{C} \sim 1050^{\circ}\text{C}$ 程度の範囲の比較的高温で空孔欠陥を形成するが、窒素を所定量含有させると窒素が原子空孔の凝集を抑制することで該空孔欠陥を低減化する。一方、窒素は $1000^{\circ}\text{C} \sim 450^{\circ}\text{C}$ の低温領域での酸素析出物の核形成を助長し、高密度に微細で分散化させた酸素析出物を発生させる。特に、窒素含有のシリコンウェハ中の微小酸素析出物の形態は、高温で不安定な析出物を形成し、前述のエピタキシャル成長工程における前熱処理工程である水素処理工程やエピタキシャル単結晶堆積工程において、酸素の外方拡散効果によってシリコンウェハ表面領域に存在するものは容易に分解・収縮する。その結果、サイズが直径換算で 20 nm 以上の微小欠陥が 5×10^3 個/ cm^3 以下であるような領域がエピタキシャル層のみならずエピタキシャル層堆積前のサブストレートシリコンウェハ表面から少なくとも深さ $1 \mu\text{m}$ までの領域において容易に形成する。一方、基板内部の微細な酸素析出物は、基板表面近傍に存在するものとは異なり、酸素が外方拡散して分解消滅することなくエピタキシャル層堆積工程を経ても完全には溶解消滅せず 1×10^9 個/ cm^3 以上で残留し、デバイス製造工程の熱処理において成長し、IG作用に有効な結晶欠陥を誘起させ、従来に比べて顕著にIG効果を増強させたシリコン半導体基板を製造することが可能となる。

【0026】第8の発明は、CZ法又は磁場印加CZ法によりシリコン単結晶引上育成中にシリコン単結晶を凝

固温度から 800°C の結晶温度範囲を $2.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度で冷却し製造したシリコンウェハをエピタキシャル単結晶成長用サブストレートウェハとして使用する方法である。

【0027】シリコン単結晶引上成長中において、凝固温度から 800°C の温度領域を $2.0^{\circ}\text{C}/\text{分}$ 以上で急冷させることは、点欠陥の凝集を抑制し空孔欠陥を低減化させる。また、当該温度領域における酸素析出物の核形成が抑制し、すなわち高温で安定な酸素析出物の発生を抑制する。その結果、エピタキシャル成長工程においてサブストレートシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）にはサイズは直径換算で $0.1 \mu\text{m}$ 以上の空孔欠陥を低減化させるとともにサイズが 20 nm 以上の微小欠陥も低減化させることができる。

【0028】また、第9の発明は、CZ法又は磁場印加CZ法によりシリコン単結晶引上育成中にシリコン単結晶を 800°C から 400°C の結晶温度範囲を $1.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度で冷却し製造したシリコンウェハをエピタキシャル単結晶成長用サブストレートウェハとして使用する方法である。

【0029】シリコン単結晶引上成長中において、 80°C から 400°C の温度領域を $1.0^{\circ}\text{C}/\text{分}$ 以上で急冷させることは、空孔欠陥については空孔欠陥が内部酸化され安定な酸化物に変化することを防止し、その結果、空孔欠陥は熱処理に対して不安定化させる。一方、酸素析出物は核形成速度は抑制されるが核密度を増加させ微細・分散化を促進する。このようにして製造したシリコンウェハをサブストレートウェハとして使用しエピタキシャル成長することによって、エピタキシャル成長工程の高温処理工程においてシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）にはサイズは直径換算で $0.1 \mu\text{m}$ 以上の空孔欠陥を低減化させるとともにサイズが 20 nm 以上の微小欠陥も低減化させ、一方、シリコン基板内部にはIG能力を増強させる高密度な微小欠陥を形成するシリコン半導体基板を製造することができる。

【0030】第10の発明は、凝固温度から 800°C の温度領域の急冷と 800°C から 400°C の急冷の両方の効果を組み合わせたもので、サブストレートシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）においては空孔欠陥や酸素析出物をさらに微細化・不安定化させエピタキシャル工程において低減効果を示すことになり、一方、サブストレートシリコンウェハ内部にはデバイス製造工程においてIG効果を増強する高密度な結晶欠陥を発生させることになる。単結晶シリコンインゴットを引上成長中に冷却効果を高めることは、通常、凝固界面での冷却能力を高めることになり結晶成長速度を増加し結晶生産性が向上する効果もたらし、低コスト化させる効果もある。

【0031】第11の発明は、窒素添加と引上成長中のシリコン結晶の冷却条件を変化させる技術を組み合わせたサブストレートシリコンウェハの製造方法であり、窒素添加の効果と引上中の結晶急冷効果の相乗効果により、より顕著にエピタキシャル成長前のサブストレートシリコンウェハ表面の結晶欠陥を消失しやすくするとともにサブストレートシリコンウェハ内部の結晶欠陥密度をさらに増加させる効果をもたらすエピタキシャルシリコン基板製造方法である。

【0032】第12の発明は、上記に述べてきた窒素添加サブストレートウェハや窒素および酸素添加サブストレートウェハ、さらには結晶引上中の結晶冷却条件を変化させたサブストレートウェハ、およびそれらの組合せにより得られるサブストレートウェハに対し、より完全にサブストレートウェハ表面の無欠陥化を促進するためエピタキシャル成長前に高温熱処理を施し、表面と内部の結晶欠陥密度の差を顕著にさせる方法である。熱処理温度は1000°C以上1300°C以下、望ましくは1100°C以上1200°C以下が適当である。温度が低いと酸素や空孔の外方拡散に多大の時間を要し、温度が高すぎると結晶中の熱平衡酸素固溶度あるいは熱平衡空孔固溶度が上がり酸素や空孔の外方拡散が起きにくくなる。また、1150°C以上では高温になればなるほどサブストレートウェハ表面の面荒れの問題が生じる。また一般的に、熱処理炉を高温で稼働させる際には予期しない炉体の汚染が生じやすくなるため、その危険性を減少させるためには熱処理温度を低くできることが望ましい。従って、エピタキシャル成長前のサブストレートウェハ表面領域に必要な無欠陥層の深さおよび経済的な観点からの熱処理時間の許容時間を勘案しながら、上記の温度範囲でできるだけ低い温度で熱処理することが望ましい。

【0033】われわれの検討結果に基づくと、第7～11の発明によるエピタキシャル法による単結晶層成長用のサブストレートシリコンウェハに対しては、前述の温度条件で5分以上熱処理することではほぼ完全に無欠陥な領域がサブストレートシリコンウェハ表層部に形成できる。熱処理方法としては、酸化性雰囲気でもよいが、エピタキシャル層堆積のためには不要な酸化膜の形成を排除するために非酸化性ガス雰囲気中で熱処理することが好ましい。

【0034】以上のように、結晶育成の際に窒素を適度に制御して含有させた結晶、さらに酸素を添加させた結晶、あるいは結晶育成の際の結晶冷却条件を制御した結晶、およびそれらを組み合わせた結晶、また、前記各結晶に対してエピタキシャル成長前に適度な熱処理を施した結晶をエピタキシャル用サブストレートウェハとして用いてエピタキシャルシリコン単結晶基板を製造することによって、従来よりも単純・容易すなわち従来知られているようなエピタキシャル層堆積前に多段あるいは複

雑な熱処理を施す必要なく低コストで、エピタキシャル層内およびエピタキシャル層／基板界面において欠陥発生がなく従来以上に高品質化し、基板内部にはゲッタリング能力を十分に有するシリコン半導体基板を得ることができる。

【0035】本発明の窒素含有のサブストレートシリコンウェハにエピタキシャル層を堆積したシリコン半導体基板の概念図を図1に示す。図1において、IG層1d、欠陥密度漸次変化領域1c及び無欠陥領域1bからなる窒素添加サブストレートシリコンウェハ1a上に、エピタキシャル層／サブストレートウェハ界面2を介してエピタキシャル層3が堆積している。また、本発明の結晶引上時に特定の冷却条件で製造したシリコンウェハ（窒素無添加）をサブストレートウェハとしその表面にエピタキシャル層を堆積したシリコン半導体基板の概念図を図2に示す。図2において、IG層1d、欠陥密度漸次変化領域1c及び無欠陥領域1bからなるサブストレートシリコンウェハ1上に、エピタキシャル層／サブストレートウェハ界面2を介してエピタキシャル層3が堆積している。

【0036】

【実施例】以下に本発明の実施例を挙げて説明するが、本発明はこれらの実施例の記載によって制限されるものではない。

【0037】本発明における引上げ結晶の仕様と共に通する製造方法を述べる。結晶径は8インチ用（直径205mm）で、伝導型はP型（ボロンドープ）、抵抗率は10Ωcmである。なお、上記結晶とは別途に、結晶径が8インチ用（直径205mm）で、伝導型はP型（ボロンドープ）、抵抗率が0.02Ωcmである結晶も用意した。酸素濃度は磁場印加条件およびルツボ回転速度等を調整し、低酸素領域として $2.0 \sim 5.0 \times 10^{17}$ atoms/cm³、中酸素領域として $7.0 \sim 8.0 \times 10^{17}$ atoms/cm³、高酸素領域として $9.0 \sim 10.0 \times 10^{17}$ atoms/cm³の濃度（酸素濃度は、赤外吸収法により測定し、濃度は日本電子工業振興協会による酸素濃度換算係数を用いて算出）の3種類を製造した。炭素濃度はいずれの結晶も 1.0×10^{16} atoms/cm³未満（赤外吸収法によって測定し、濃度は日本電子工業振興協会による炭素濃度換算係数を用いて算出）である。いずれの結晶も約80kgの原料を溶解し、直径205mmの約60kgの単結晶インゴットを作成した。窒素の添加は、ノンドープのシリコン基板にCVD法（Chemical Vapor Deposition: 化学気相成長法）により窒化膜を形成したウェハを、原料の溶解時に同時に溶かすことにより行った。シリコン融液中の窒素濃度は原料として同時に溶融した窒化膜付ウェハの窒化膜の厚さから1枚あたりの窒素量を計算し、狙いの窒素濃度に対して添加すべき窒化膜付ウェハの枚数を制限し制御した。シリコン単結晶中の窒素濃度はSIMSで測定したが、SIMSの検出下

限である $1.0 \times 10^{14} \text{ atoms/cm}^3$ 未満の濃度に関しては平行偏析係数から計算で求めた。なお、結晶中の窒素濃度が $1.0 \times 10^{14} \text{ atoms/cm}^3$ 以下の濃度では前述のごとく、SIMSによるウェハ中の窒素濃度は定量できなかったが、 $1.0 \times 10^{14} \text{ atoms/cm}^3$ 以上の窒素濃度の場合、SIMSによりバックグラウンドレベルの2倍以上の強度で局所的な窒素信号の増大が認められた。

【0038】シリコン半導体基板の製造にあたっては、引上育成した結晶を切断、円筒研削後、スライス～鏡面研磨～洗浄仕上げしたウェハをサブストレートウェハとし、エピタキシャル成長装置に装填し、水素ガス雰囲気内で $1100^{\circ}\text{C} \sim 1150^{\circ}\text{C}$ まで昇温し、その後塩化水素ガスによるエッティングを数分行い、トリクロルシランガスを用いて 1150°C でウェハ表面にエピタキシャル単結晶層を $5 \mu\text{m}$ 成長させた。

【0039】本発明において得られたシリコン半導体基板の評価は、基板表面を $5 \mu\text{m}$ 研磨し、エピタキシャル層を除去したシリコン基板表面に関して、アンモニア：過酸化水素：水 = 1 : 1 : 5 の SC-1 洗浄液で洗浄し、レーザーパーティクルカウンター LS 6000 で検出される $0.1 \mu\text{m}$ 以上の COP 欠陥数を測定した。COP 欠陥すなわち空孔欠陥の体積密度の導出は、SC-1 洗浄とパーティクル測定を 10 回繰り返し、その増分から算出した。また、深さ方向の評価についてはエピタキシャル層を研磨により除去したシリコン基板を赤外レーザ干渉法欠陥測定装置 (OPP: Optical Precipitate Profiler) により深さ $1 \mu\text{m}$ の位置に存在する直径換算で $0.1 \mu\text{m}$ 以上のサイズの欠陥密度を計測した。OPP により検出される $0.1 \mu\text{m}$ 以上の欠陥はパーティクル測定方法によって得られる COP 欠陥密度と 1 : 1 の関係がある。サイズが直径換算で 20 nm 以上の微小欠陥については、赤外レーザー散乱法による欠陥測定装置 (赤外レーザートモグラフ) によりエピタキシャル層やエピタキシャル層とサブストレートウェハの界面下の深さ $1 \mu\text{m}$ に存在する微小欠陥、さらには IG 効果の能力指標になるサブストレートウェハ内部 (厚さ中心) の結晶欠陥の密度を調べた。また、 $1 \times 10^{10} \text{ 個/cm}^3$ 以上の微小欠陥については透過型電子顕微鏡も用いて密度測定した。さらに、エピタキシャル成長後のシリコン半導体基板をデバイス製造の熱処理パターンの一つとして窒素雰囲気で 800°C 、4 時間の熱処理後、酸素雰囲気で 1000°C で 16 時間の熱処理を行い、その後、赤外レーザートモグラフおよび欠陥検出選択エッティング液であるライトエッティングを $3 \mu\text{m}$ 行いエピタキシャル層内の結晶欠陥の形成の有無を評価した。また、ゲッタリング能力の指標はバルク欠陥密度としたが、その根拠は、エピタキシャルシリコン半導体基板表面に銅、ニッケル、鉄などの金属不純物を故意に $10^{12} \text{ atoms/cm}^2$ 程度汚染させ、その後、デバイス製造工程の標準的な熱処理である CMOS 热処理を施した後、 30 mm^2 サイズ

の P/N 接合素子を基板上に作成し、P/N リーク電流の故意汚染有無の変化量を調べた結果に基づいた。評価例を図 7 に示すように、バルク内欠陥密度が高い方が故意汚染後の P/N リーク電流の増加量は少なくなっている、ゲッタリング能力が高いことがわかる。

【0040】表 1 (a) (b) ～表 12 (a) (b) に本発明の実施例、および表 13 (a) (b) ～表 14 (a) (b) に比較例に関する製造条件の特徴と欠陥評価結果、およびライフタイム評価結果のまとめを示す。

【0041】(実施例 1～6) 実施例 1～6 では、表 1 (a) および表 2 (a) に示すような製造条件で図 3 に示すような CZ 単結晶育成装置を用いて引上げ育成した。なお、表 1 (a) が抵抗率 $10 \Omega \text{ cm}$ の結晶に係るもの、表 2 (a) が抵抗率 $0.02 \Omega \text{ cm}$ の結晶に係るものである。また窒素濃度レベルは低濃度、高濃度の 2 種類、酸素濃度は低、中、高の 3 種類である。

【0042】この CZ 法単結晶育成装置は結晶冷却装置など設置しない通常の装置であり、シリコン溶融液 M を収容する石英ルツボ 9a とこれを保護する黒鉛製ルツボ

20 9b とから構成されたルツボ 9 と引上げシリコン結晶 S を収容するシリコン単結晶引き上げ炉 4 である。ルツボ 9 の側面部は加熱ヒータ 7 と加熱ヒータ 7 からの熱が結晶引上炉外部に逃げるのを防止するため断熱材 6 が取り囲むように設置されており、このルツボ 9 は図示されていない駆動装置と回転治具 8 によって接続され、この駆動装置によって所定の速度で回転されると共に、ルツボ 9 内のシリコン融液の減少にともないシリコン融液液面が低下するのを補うためにルツボ 9 を昇降させるようになっている。引き上げ炉 4 内には、垂下された引き上げ 30 ワイヤー 10 が設置され、このワイヤーの下端には種結晶 11 を保持するチャック 12 が設けられている。この引き上げワイヤー 10 の上端側は、ワイヤ巻き上げ機 5 に巻きとられて、シリコン単結晶インゴットを引き上げるようになった引き上げ装置が設けられている。そして、引き上げ炉内 4 には、引き上げ炉 4 に形成されたガス導入口 13 から Ar ガスなどのガスが導入され、引き上げ炉 4 内を流通してガス流出口 14 から排出される。このようにガスを流通させるのは、シリコン単結晶育成を阻害する要因となる引き上げ炉内 4 に発生する Si

40 O、COなどを引き上げ炉外に速やかに排出させるためである。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【0043】実施例 1 は低窒素レベルで低酸素、実施例 2 は低窒素レベルで中酸素、実施例 3 は低窒素レベルで高酸素、実施例 4 は高窒素レベルで低酸素、実施例 5 は高窒素レベルで中酸素、実施例 6 は高窒素レベルで高酸素の結晶である。結晶冷却速度は凝固温度 (Tm) $\sim 800^{\circ}\text{C}$ までは $2.4^{\circ}\text{C}/\text{分}$ から $0.8^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^{\circ}\text{C}/\text{分}$ 以上では

50

なかつた。また800°C～400°Cの結晶温度領域においては1.2°C/分から0.5°C/分の範囲で必ずしも該温度範囲すべてにおいて1.0°C/分以上ではなかつた。これらの結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。結晶評価結果は表1(b)および表2(b)に示す。エピタキシャル層とエピタキシャル層堆積前のサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度はいずれの結晶も 1.0×10^3 個/cm³以下で顕著に低減され、直径換算で20nm以上の微小欠陥についても 10^3 個/cm³レベルで従来に比べて低減化されている。一方、該サブストレートウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^3 個/cm³以上であり、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下の無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかつた。本実施例におけるシリコン半導体基板の断面構造概念図を図1に示す。

【0044】(実施例7～9)実施例7～9についても、表3(a)(b)および表4(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表3(a)(b)が抵抗率10Ωcmの結晶に係るもの、表4(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。実施例7は低酸素、実施例8は中酸素、実施例9は高酸素レベルで、図4に示すような結晶冷却装置20を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。なお、磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。結晶冷却速度は凝固温度(Tm)～800°Cまでは6.0°C/分から2.0°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2.0°C/分～0.5°C/分で必ずしも該温度範囲のすべてにおいて1.0°C/分以上の冷却速度ではなかつた。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度はいずれの結晶も 1.0×10^3 個/cm³以下で低減され、直径換算で20nm以上の微小欠陥についても 10^3 個/cm³レベルで従来に比べて低減化されている一方、サブストレートウェ

ハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^3 個/cm³以上であり、IG効果に有効な欠陥の顕著な増加が見られる。熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下の無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかつた。本実施例におけるシリコン半導体基板の断面構造概念図を図2に示す。

【0045】(実施例10～12)実施例10～12についても、表5(a)(b)および表6(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表5(a)(b)が抵抗率10Ωcmの結晶に係るもの、表6(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。実施例10は低酸素、実施例11は中酸素、実施例12は高酸素レベルで、図5に示すような結晶冷却装置30を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度(Tm)～800°Cまでは2.4°C/分から1.5°C/分の範囲で、該温度範囲すべてにおいて2.0°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1.6°C/分から1.2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0°C/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。エピタキシャル層とサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下の無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかつた。

【0046】(実施例13～15)実施例13～15についても、表7(a)(b)および表8(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表7(a)(b)が抵抗率10Ωcmの結晶に係るもの、表8(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。実施例13は低酸素、実施例14は中酸素、実施例15は高酸素レベルで、図6に示すような結晶冷却装置20および30を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度(Tm)～800°Cまでは6.5°C/分から2.0°C/分の範囲で、さらに800°Cから400°Cの範囲

は2. 0°C/分から1. 2°C/分の範囲で、T_mから800°Cの全ての結晶温度領域において2. 0°C/分以上の冷却速度で、さらに、800°Cから400°Cの全ての結晶温度領域において1. 0°C/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハ都市その表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。凝固界面から400°Cまでの広範囲の結晶温度領域を全体に渡って急冷することになり、0. 1μmサイズ以上の空孔欠陥もサイズ20nm以上の微小欠陥も顕著に低減されている。直径換算のサイズが0. 1μm以上の欠陥（空孔欠陥）密度は、エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、いずれも 1.0×10^4 個/cm³以下で低減され、直径換算で20nm以上の微小欠陥についても 5.0×10^4 個/cm³以下で顕著な低減が見られる。一方、サブストレートウェハの厚さ中心領域（バルク領域）では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^9 個/cm³以上であり、IG効果に有効な欠陥の顕著な増加が見られる。熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0047】（実施例16～21）実施例16～21についても、表9(a) (b) および表10(a) (b) に引上げ育成の製造条件と評価結果を示す。なお、表9(a) (b) が抵抗率10Ωcmの結晶に係るもの、表10(a) (b) が抵抗率0.02Ωcmの結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例7～9と同様、図4に示すようなCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度（T_m）～800°Cまでは6. 0°C/分から2. 0°C/分の範囲で、T_mから800°Cの全ての結晶温度領域において2. 0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2. 0°C/分～0. 5°C/分で必ずしも該温度範囲のすべてにおいて1. 0°C/分以上の冷却速度ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例1～6に記述した濃度と同様で、実施例16は低窒素レベルで低酸素、実施例17は低窒素レベルで中酸素、実施例18は低窒素レベルで高酸素、実施例19は高窒素レベルで低酸素、実施例20は高窒素レベルで中酸素、実施例21は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面領域においては、直径換算のサイズが0. 1μm以上の欠陥（空孔欠陥）密度はいずれの結晶

も 1.0×10^4 個/cm³以下ではほぼゼロレベルで、さらに界面から深さ1μmまでの領域においても 1.0×10^9 個/cm³以下で顕著に低減されている。直径換算で20nm以上の微小欠陥についても界面および界面から深さ1μmまでの領域で 10^4 個/cm³以下で顕著に低減化されている一方、サブストレートウェハの厚さ中心領域（バルク領域）では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^{10} 個/cm³程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0048】（実施例22～27）実施例22～27についても、表9(a) (b) および表10(a) (b) に引上げ育成の製造条件と評価結果を示す。なお、表9(a) (b) が抵抗率10Ωcmの結晶に係るもの、表20 10(a) (b) が抵抗率0.02Ωcmの結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例10～12と同様、図5に示すようなCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度（T_m）～800°Cまでは2. 4°C/分から1. 5°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1. 6°C/分から1. 2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1. 0°C/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例1～6に記述した濃度と同様で、実施例22は低窒素レベルで低酸素、実施例23は低窒素レベルで中酸素、実施例24は低窒素レベルで高酸素、実施例25は高窒素レベルで低酸素、実施例26は高窒素レベルで中酸素、実施例27は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算で0. 1μm以上の欠陥密度は 1.0×10^4 個/cm³以下で顕著に低減され、直径換算で20nm以上の微小欠陥についても界面および界面から深さ1μmまでの領域で 10^4 個/cm³以下で顕著に低減化されている。サブストレートウェハの厚さ中心領域（バルク領域）では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^9 個/cm³程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広

く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0049】(実施例28~33)実施例28~33についても、表9(a)(b)および表10(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表9(a)(b)が抵抗率10Ωcmの結晶に係るもの、表10(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例13~15と同様、図6に示すようなCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度(T_m)~800°Cまでは6.5°C/分から2.0°C/分の範囲で、さらに800°Cから400°Cの範囲は2.0°C/分から1.2°C/分の範囲で、 T_m から800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度で、さらに、800°Cから400°Cの全ての結晶温度領域において1.0°C/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例1~6に記述した濃度と同様で、実施例28は低窒素レベルで低酸素、実施例29は低窒素レベルで中酸素、実施例30は低窒素レベルで高酸素、実施例31は高窒素レベルで低酸素、実施例32は高窒素レベルで中酸素、実施例33は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面領域においては、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度はいずれの結晶も 1.0×10^2 個/cm³以下ではほぼゼロレベルで、さらに該界面から深さ1μmまでの領域においても 10^2 個/cm³レベルかそれ以下で極端に低減されている。直径換算で20nm以上の微小欠陥についても界面および界面から深さ1μmまでの領域で 10^2 個/cm³レベルで極端に低減化され、ほぼ完全な無欠陥層が形成している。一方、ウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度についてはいずれの結晶も 1.0×10^{10} 個/cm³程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0050】(実施例34~38)本実施例34~38は、窒素を添加した結晶から切り出しウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在する

よう製造し、その後エピタキシャル層を5μm堆積したシリコン半導体基板である。本実施例では、窒素濃度は 1.0×10^{13} atoms/cm³レベルの高濃度で酸素濃度は 1.0×10^{11} atoms/cm³の高濃度レベルに関して記載するが、本実施例に見られる効果は、窒素濃度が 5.0×10^{13} atoms/cm³以上 1.0×10^{16} atoms/cm³以下、および酸素濃度が 1.0×10^{11} atoms/cm³以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表11(a)(b)および表12(a)(b)に示す。なお、表11(a)(b)が抵抗率10Ωcmの結晶に係るもの、表12(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。結晶引上げは図3に示すようなCZ単結晶育成装置を用いて引上げ育成した。結晶冷却速度は凝固温度(T_m)~800°Cまでは2.4°C/分から0.8°C/分の範囲で必ずしも該温度範囲すべてにおいて2.0°C/分以上ではなかった。また800°C~400°Cの結晶温度領域においては1.2°C/分から0.5°C/分の範囲で必ずしも該温度範囲すべてにおいて1.0°C/分以上ではなかった。熱処理は、実施例34と35は熱処理時間の効果を見るため、それぞれAr雰囲気で1100°Cで60分と5分、実施例36は熱処理雰囲気の効果を見るため酸素雰囲気で1100°Cで60分、実施例37と38は熱処理温度の効果を見るため、それぞれAr雰囲気で1000°Cで60分とAr雰囲気で1300°Cで5分の熱処理を施した。直径換算で0.1μm以上の空孔欠陥のエピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域における密度分布については、実施例36の酸素雰囲気熱処理を除いて、 1.0×10^2 個/cm³以下ではほぼゼロレベルの欠陥分布である。実施例36の酸素雰囲気熱処理ウェハに關しても、当該空孔欠陥の密度は 1.0×10^3 個/cm³レベルで従来に比べて顕著に低減している。また、サイズが直径換算で20nm以上の微小欠陥については、エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域で 1.0×10^4 個/cm³以下となっており顕著な欠陥密度の低減が見られる。一方、サブストレートウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^{10} 個/cm³以上であり、IG効果に有効な欠陥の顕著な増加が見られる。温度としては、高温ほど微小欠陥が分解する傾向があり、1100°Cから1200°C程度が好ましい。また、雰囲気は酸素雰囲気に比べて不活性ガスの一つであるAr雰囲気において欠陥の一層の低減が見られる。熱処理時間は、長時間ほどエピタキシャル層界面付近の欠陥密度の低減が見られるが、ウェハ中心領域の欠陥密度の低減傾向があること、さらに製造コストの観点から5分以上60分以下程度で十分である。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキ

シャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0051】（実施例39～41）本実施例39から41は、窒素を添加しないで、結晶引上げ育成時に結晶を急冷した結晶を、ウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在するよう製造し、その後エピタキシャル層を5μm堆積したシリコン基板である。本実施例では、酸素濃度は 1.0×10^{19} atoms/cm³の高濃度レベルに関して記載するが、本実施例に見られる効果は、酸素濃度が 1.0×10^{17} atoms/cm³以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表11(a) (b) および表12(a) (b) に示す。なお、表11(a) (b) が抵抗率10Ωcmの結晶に係るもの、表12(a) (b) が抵抗率0.02Ωcmの結晶に係るものである。実施例39は、図4に示すようなCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(Tm)～800°Cまでは6.0°C/分から2.0°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2.0°C/分～0.5°C/分で必ずしも該温度範囲のすべてにおいて1.0°C/分以上の冷却速度ではなかった。実施例40は、図5に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(Tm)～800°Cまでは2.4°C/分から1.5°C/分の範囲で、該温度範囲すべてにおいて2.0°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1.6°C/分から1.2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0°C/分以上の冷却速度であった。実施例41は、図6に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(Tm)～800°Cまでは6.5°C/分から2.0°C/分の範囲で、さらに800°Cから400°Cの範囲は2.0°C/分から1.2°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度で、さらに、800°Cから400°Cの全ての結晶温度領域において1.0°C/分以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はAr雰囲気で1100°Cで60分実施した。凝固温度から400°Cまでの温度領域すべてを急冷した結晶において欠陥密度低減効果が顕著であるが、い

ずれの結晶もエピタキシャル層界面下の欠陥密度が低減する。一方、サブストレートウェハ厚さ中心領域ではIG効果を高めるのに十分な欠陥密度を有している。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0052】（実施例42～44）本実施例42から44は、結晶引上げ育成時に窒素を添加し、かつ結晶を急冷した結晶を、ウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在するよう製造し、その後エピタキシャル層を5μm堆積したシリコン半導体基板である。本実施例では、窒素濃度は 1.0×10^{19} atoms/cm³レベルの高濃度で酸素濃度は 1.0×10^{18} atoms/cm³の高濃度レベルに関して記載するが、本実施例に見られる効果は、窒素濃度が 5.0×10^{19} atoms/cm³以上 1.0×10^{16} atoms/cm³以下、および酸素濃度が 1.0×10^{17} atoms/cm³以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表11(a) (b) および表12(a) (b) に示す。なお、表11(a) (b) が抵抗率10Ωcmの結晶に係るもの、表12(a) (b) が抵抗率0.02Ωcmの結晶に係るものである。実施例42は、図4に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(Tm)～800°Cまでは6.0°C/分から2.0°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2.0°C/分～0.5°C/分で必ずしも該温度範囲のすべてにおいて1.0°C/分以上の冷却速度ではなかった。実施例43は、図5に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(Tm)～800°Cまでは2.4°C/分から1.5°C/分の範囲で、該温度範囲すべてにおいて2.0°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1.6°C/分から1.2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0°C/分以上の冷却速度であった。実施例44は、図6に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(Tm)～800°Cまでは6.5°C/分から2.0°C/分の範囲で、さらに800°Cから400°Cの範囲は2.0°C/分から1.2°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度で、さらに、800°Cから400°Cの全ての結晶温度領域において1.0°C/分以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はAr雰囲気で1100°Cで60分実施した。凝固温度から400°Cまでの温度領域すべてを急冷した結晶において欠陥密度低減効果が顕著であるが、い

度領域において $1.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はアーヴィング気で 100°C で 60 分実施した。凝固温度から 400°C までの温度領域すべてを急冷した結晶において欠陥密度低減効果が顕著であるが、いずれの結晶もサイズ $0.1\text{ }\mu\text{m}$ 以上の空孔欠陥についてもサイズが 20 nm 以上の微小欠陥に関してもエピタキシャル層界面下の欠陥密度が 10^2 個/ cm^3 レベルかそれ以下のはば完全に無欠陥の状態を実現している。一方、サブストレートウェハ厚さ中心領域 20 nm 以上の欠陥密度は 10^9 個/ cm^3 レベルで IG 効果を増強する欠陥密度を有している。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0053】(比較例1～3) 比較例1から3では、窒素を添加することなしに結晶育成を行った。すなわち、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度(T_m)～ 800°C までは $2.4^{\circ}\text{C}/\text{分}$ から $0.8^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。また 800°C ～ 400°C の結晶温度領域においては $1.2^{\circ}\text{C}/\text{分}$ から $0.5^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとその表面に単結晶層を $5\text{ }\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。本比較例の製造条件および評価結果は表13(a) (b) および表14(a) (b) に示す。なお、表13(a) (b) が抵抗率 $10\text{ }\Omega\text{ cm}$ の結晶に係るもの、表14(a) (b) が抵抗率 $0.02\text{ }\Omega\text{ cm}$ の結晶に係るものである。比較例1は低酸素、比較例2は中酸素、比較例3は高酸素の結晶である。エピタキシャル層とサブストレートウェハの界面から深さ $1\text{ }\mu\text{m}$ までの領域において、直径換算のサイズが $0.1\text{ }\mu\text{m}$ 以上の欠陥(空孔欠陥)密度は酸素濃度が低い方が低下する傾向はあるものの、 5.0×10^1 個/ cm^3 以下にはならず概ね 10^1 個/ cm^3 レベルの高密度である。直径換算で 20 nm 以上の微小欠陥についても、エピタキシャル層とサブストレートウェハの界面から深さ $1\text{ }\mu\text{m}$ までの領域において、密度が 5.0×10^1 個/ cm^3 以下は実現せず 1.0×10^6 個/ cm^3 以上のレベルである。一方、サブストレートウェハの厚さ中心領域(バルク領域)では 1.0×10^7 個/ cm^3 レベルで、顕著な IG 効果は期待できない。なお、熱処理後において、ウェハあたり数個レベルの結晶欠陥の形成(酸素析出物のエピタキシャル層への突き出しおよび積層欠陥の形成)が見られ、エピタキシャル層とサブストレートウェハの界面付近の無欠陥層は狭くなっていた。

【0054】(比較例4～6) 比較例4から6では、窒

素の添加量を結晶引上げ育成時、融液中の窒素濃度が 5.0×10^{13} atoms/ cm^3 程度とし、結晶中の窒素濃度が 5.0×10^{11} atoms/ cm^3 程度とした。すなわち、窒素添加量は微量とした。結晶育成は、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度(T_m)～ 800°C までは $2.4^{\circ}\text{C}/\text{分}$ から $0.8^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。また 800°C ～ 400°C の結晶温度領域においては $1.2^{\circ}\text{C}/\text{分}$ から $0.5^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとその表面に単結晶層を $5\text{ }\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。本比較例の製造条件および評価結果は表13(a) (b) および表14(a) (b) に示す。なお、表13(a) (b) が抵抗率 $10\text{ }\Omega\text{ cm}$ の結晶に係るもの、表14(a) (b) が抵抗率 $0.02\text{ }\Omega\text{ cm}$ の結晶に係るものである。比較例4は低酸素、比較例5は中酸素、比較例6は高酸素の結晶である。エピタキシャル層とサブストレートウェハの界面から深さ $1\text{ }\mu\text{m}$ までの領域において、直径換算のサイズが $0.1\text{ }\mu\text{m}$ 以上の欠陥(空孔欠陥)密度、直径換算のサイズが 20 nm 以上の微小欠陥の密度については比較例1～3とほぼ同様で、窒素添加の顕著な効果は見られず、それらの欠陥サイズに対し概ね 10^1 個/ cm^3 レベル、 1.0×10^6 個/ cm^3 のレベルで高密度であった。一方、該サブストレートウェハの厚さ中心領域(バルク領域)に関しても欠陥密度の増加は見られず 1.0×10^7 個/ cm^3 レベルで、顕著な IG 効果は期待できない。なお、ライフタイムはすべて問題ないが、熱処理後において、ウェハあたり数個レベルの結晶欠陥の形成(酸素析出物のエピタキシャル層への突き出しおよび積層欠陥の形成)が見られ、エピタキシャル層とサブストレートウェハの界面付近の無欠陥層は狭くなっていた。

【0055】(比較例7) 比較例7は、窒素の添加量を結晶引上げ育成時、融液中の窒素濃度が 4.5×10^{13} atoms/ cm^3 程度とし、結晶中の窒素濃度が 3.0×10^{16} atoms/ cm^3 程度とした。すなわち、窒素を極端に多く添加した。結晶育成は、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度(T_m)～ 800°C までは $2.4^{\circ}\text{C}/\text{分}$ から $0.8^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。また 800°C ～ 400°C の結晶温度領域においては $1.2^{\circ}\text{C}/\text{分}$ から $0.5^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとその表面に単結晶層を $5\text{ }\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。本比較例

の製造条件および評価結果は表13(a) (b) および表14(a) (b) に示す。なお、表13(a) (b) が抵抗率1.0Ωcmの結晶に係るもの、表14(a) (b) が抵抗率0.02Ωcmの結晶に係るものである。エピタキシャル層とサブストレートウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度、直径換算のサイズが20nm以上の微小欠陥の密度については窒素*

*の効果から微細になった欠陥がエピタキシャル成長時容易に分解し低減が見られるものの、分解した欠陥の構成要素である原子空孔や不純物酸素がエピタキシャル層に拡散しエピタキシャル層内に新たな欠陥形成が見られる。

【0056】

【表1】

表1 (a)

	シリコン基板比抵抗: 1.0Ω·cm						
	製造条件						
	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例1	1.0E17	0.8	1.0E14	3.0E17	-	-	-
実施例2	2.0E17	0.8	2.0E14	8.0E17	-	-	-
実施例3	5.0E17	0.8	5.0E14	9.5E17	-	-	-
実施例4	8.0E18	0.8	7.0E15	3.0E17	-	-	-
実施例5	1.0E19	0.8	1.0E16	8.0E17	-	-	-
実施例6	9.0E18	0.8	8.0E15	9.5E17	-	-	-

○: 範囲内、 - : 範囲外

表1 (b)

	エピ界面～深さ1μm欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例1	9.0E2	1.5E5	1.0E9	検出されない
実施例2	9.0E2	6.5E5	5.0E9	検出されない
実施例3	8.5E2	6.0E5	6.0E9	検出されない
実施例4	6.0E2	1.0E5	1.5E9	検出されない
実施例5	6.0E2	5.0E5	6.0E9	検出されない
実施例6	9.0E2	5.5E5	8.0E9	検出されない

表2 (a)

	シリコン基板比抵抗: 0.02Ω·cm						
	製造条件						
融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熟処理	
実施例 1	5.0E16	0.9	5.0E13	3.0E17	-	-	-
実施例 2	1.0E17	0.9	1.0E14	8.0E17	-	-	-
実施例 3	2.0E16	0.9	2.0E13	9.5E17	-	-	-
実施例 4	1.0E19	0.9	1.0E16	3.0E17	-	-	-
実施例 5	1.0E19	0.9	1.0E16	8.0E17	-	-	-
実施例 6	1.0E19	0.9	1.0E16	9.5E17	-	-	-

○: 範囲内、 -: 範囲外

表2 (b)

	エビ界面～深さ 1μm欠陥			エビ層欠陥 個/ウェハ
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	バルク欠陥 /cm ³	
実施例 1	8.0E2	1.0E5	3.0E9	検出されない
実施例 2	8.0E2	5.0E5	6.0E9	検出されない
実施例 3	7.5E2	5.0E5	6.5E9	検出されない
実施例 4	5.0E2	1.0E5	5.0E9	検出されない
実施例 5	5.0E2	4.0E5	8.0E9	検出されない
実施例 6	8.0E2	5.0E5	9.5E9	検出されない

[0058]

* * [表3]

表3 (a)

	シリコン基板比抵抗: 10Ω·cm						
	製造条件						
融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熟処理	
実施例 7	-	1.2	-	2.0E17	○	-	-
実施例 8	-	1.0	-	8.0E17	○	-	-
実施例 9	-	1.1	-	10.0E17	○	-	-

○: 範囲内、 -: 範囲外

表3 (b)

	エビ界面～深さ 1μm欠陥			エビ層欠陥 個/ウェハ
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	バルク欠陥 /cm ³	
実施例 7	3.0E3	1.0E4	1.0E8	検出されない
実施例 8	5.0E3	2.0E4	5.0E8	検出されない
実施例 9	6.0E3	4.0E4	5.5E8	検出されない

[0059]

[表4]

表4 (a)

シリコン基板比抵抗: 0.02Ω·cm

製造条件

	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 7	-	1.0	-	2.0E17	○	-	-
実施例 8	-	1.0	-	8.0E17	○	-	-
実施例 9	-	1.1	-	10.0E17	○	-	-

○: 範囲内、 -: 範囲外

表4 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 7	2.0E3	1.0E4	2.0E8	検出されない
実施例 8	4.0E3	1.0E4	6.0E8	検出されない
実施例 9	5.0E3	4.0E4	8.0E8	検出されない

[0060]

* * [表5]

表5 (a)

シリコン基板比抵抗: 1.0Ω·cm

製造条件

	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 10	-	1.0	-	3.0E17	-	○	-
実施例 11	-	0.9	-	8.0E17	-	○	-
実施例 12	-	0.8	-	10.0E17	-	○	-

○: 範囲内、 -: 範囲外

表5 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 10	7.0E3	5.0E4	6.0E6	検出されない
実施例 11	7.5E3	9.0E4	2.0E7	検出されない
実施例 12	9.0E3	1.0E5	4.5E7	検出されない

[0061]

* * [表6]

表6 (a)

シリコン基板比抵抗: 0.02Ω·cm

製造条件

	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 10	-	0.9	-	3.0E17	-	○	-
実施例 11	-	0.8	-	8.0E17	-	○	-
実施例 12	-	0.8	-	10.0E17	-	○	-

○: 範囲内、 -: 範囲外

表6 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 10	6.0E3	4.0E4	7.0E7	検出されない
実施例 11	6.5E3	7.0E4	4.0E7	検出されない
実施例 12	8.0E3	9.0E4	8.0E7	検出されない

【0062】

＊＊【表7】

表7 (a)

	シリコン基板比抵抗: 10Ω·cm						
	製造条件						
	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 13	-	1.2	-	3.0E17	○	○	-
実施例 14	-	1.1	-	8.0E17	○	○	-
実施例 15	-	1.1	-	10.0E17	○	○	-

○: 範囲内、-: 範囲外

表7 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 13	1.2E3	8.0E3	2.0E8	検出されない
実施例 14	3.0E3	1.0E4	6.0E8	検出されない
実施例 15	4.5E3	2.0E4	5.5E8	検出されない

【0063】

＊＊【表8】

表8 (a)

	シリコン基板比抵抗: 0.02Ω·cm						
	製造条件						
	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 13	-	1.2	-	3.0E17	○	○	-
実施例 14	-	1.2	-	8.0E17	○	○	-
実施例 15	-	1.2	-	10.0E17	○	○	-

○: 範囲内、-: 範囲外

表8 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 13	1.0E3	5.0E3	4.0E8	検出されない
実施例 14	1.5E3	1.0E4	8.0E8	検出されない
実施例 15	3.0E3	1.5E4	9.5E8	検出されない

【0064】

【表9】

表9 (a)

シリコン基板比抵抗: 10Ω・cm

	製造条件						
	融液窒素 /cm ³	引上速度 mm/分	結晶窒素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 16	2.0E16	0.8	1.5E13	4.0E17	○	-	-
実施例 17	2.0E16	0.8	1.5E13	8.0E17	○	-	-
実施例 18	5.0E16	0.8	4.0E13	10.0E17	○	-	-
実施例 19	2.0E18	1.0	1.0E15	4.0E17	○	-	-
実施例 20	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 21	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 22	2.0E16	1.0	1.5E13	3.0E17	-	○	-
実施例 23	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 24	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 25	4.5E18	1.1	3.0E15	3.0E17	-	○	-
実施例 26	4.5E18	1.0	3.0E15	8.0E17	-	○	-
実施例 27	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 28	5.0E16	1.2	4.0E13	4.0E17	○	○	-
実施例 29	5.0E16	1.1	4.0E13	7.5E17	○	○	-
実施例 30	2.0E16	1.1	1.5E13	9.5E17	○	○	-
実施例 31	2.0E18	1.1	1.0E15	4.0E17	○	○	-
実施例 32	2.0E18	1.1	1.0E15	7.5E17	○	○	-
実施例 33	2.0E18	1.1	1.0E15	9.5E17	○	○	-

○: 範囲内、-: 範囲外

表9 (b)

	エビ界面～深さ 1 μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1 μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 16	4.0E2	1.2E3	8.0E9	検出されない
実施例 17	4.5E2	2.0E3	1.0E10	検出されない
実施例 18	6.0E2	2.0E3	1.5E10	検出されない
実施例 19	1.2E2	1.2E3	1.0E10	検出されない
実施例 20	1.5E2	1.2E3	2.0E10	検出されない
実施例 21	2.0E2	1.2E3	2.5E10	検出されない
実施例 22	6.0E2	1.8E3	8.5E8	検出されない
実施例 23	8.5E2	6.0E3	1.0E9	検出されない
実施例 24	9.5E2	6.0E3	2.0E9	検出されない
実施例 25	4.0E2	1.2E3	1.5E9	検出されない
実施例 26	6.0E2	1.5E3	3.0E9	検出されない
実施例 27	7.0E2	1.5E3	5.0E9	検出されない
実施例 28	<1.0E2	6.0E2	1.0E10	検出されない
実施例 29	2.4E2	9.0E2	1.2E10	検出されない
実施例 30	3.0E2	9.0E2	2.1E10	検出されない
実施例 31	<1.0E2	6.0E2	1.5E10	検出されない
実施例 32	<1.0E2	3.0E2	2.3E10	検出されない
実施例 33	1.2E2	3.0E2	2.5E10	検出されない

37
表10 (a)

シリコン基板比抵抗: 0.02Ω·cm

	製造条件						
	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 16	2.0E16	0.9	1.5E13	4.0E17	○	-	-
実施例 17	2.0E16	1.0	1.5E13	8.0E17	○	-	-
実施例 18	5.0E16	1.0	4.0E13	10.0E17	○	-	-
実施例 19	2.0E18	0.9	1.0E15	4.0E17	○	-	-
実施例 20	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 21	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 22	2.0E16	0.8	1.5E13	3.0E17	-	○	-
実施例 23	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 24	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 25	4.5E18	0.8	3.0E15	3.0E17	-	○	-
実施例 26	4.5E18	0.8	3.0E15	8.0E17	-	○	-
実施例 27	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 28	5.0E16	1.1	4.0E13	4.0E17	○	○	-
実施例 29	5.0E16	1.2	4.0E13	7.5E17	○	○	-
実施例 30	2.0E16	1.2	1.5E13	9.5E17	○	○	-
実施例 31	2.0E18	1.2	1.0E15	4.0E17	○	○	-
実施例 32	2.0E18	1.2	1.0E15	7.5E17	○	○	-
実施例 33	2.0E18	1.2	1.0E15	9.5E17	○	○	-

○: 範囲内、-: 範囲外

表10 (b)

	エビ界面～深さ 1μm 欠陥		エビ層欠陥 固/ウェハ
	サイズ>0.1μm /cm ³	サイズ>20nm. /cm ³	
実施例 16	3.0E2	1.0E3	1.0E10 検出されない
実施例 17	3.0E2	1.5E3	1.5E10 検出されない
実施例 18	4.0E2	1.5E3	1.5E10 検出されない
実施例 19	1.0E2	1.0E3	1.0E10 検出されない
実施例 20	1.0E2	1.0E3	1.5E10 検出されない
実施例 21	1.0E2	1.0E3	2.0E10 検出されない
実施例 22	4.0E2	1.0E3	1.0E9 検出されない
実施例 23	6.0E2	4.0E3	1.0E9 検出されない
実施例 24	6.0E2	5.0E3	2.0E9 検出されない
実施例 25	3.0E2	1.0E3	3.0E9 検出されない
実施例 26	4.0E2	1.0E3	1.5E9 検出されない
実施例 27	6.0E2	1.0E3	3.0E9 検出されない
実施例 28	<1.0E2	3.0E2	2.0E10 検出されない
実施例 29	<1.0E2	5.0E2	2.0E10 検出されない
実施例 30	<1.0E2	5.0E2	2.5E10 検出されない
実施例 31	<1.0E2	2.0E2	3.0E10 検出されない
実施例 32	<1.0E2	1.0E2	3.0E10 検出されない
実施例 33	1.0E2	2.0E2	3.5E10 検出されない

[0066]

[表11]

表11 (a)

シリコン基板比抵抗: $10\Omega \cdot \text{cm}$

	製造条件						
	融液空素 $/\text{cm}^3$	引上速度 $\text{mm}/\text{分}$	結晶空素 $/\text{cm}^3$	結晶酸素 $/\text{cm}^3$	Tm~800°C $>2.0\text{°C}/\text{分}$	800~400°C $>1.0\text{°C}/\text{分}$	熱処理
実施例 34	1.0E19	0.8	1.0E16	10.0E17	-	-	(1)
実施例 35	8.0E18	0.8	5.0E15	10.0E17	-	-	(2)
実施例 36	8.0E18	0.8	5.0E15	10.0E17	-	-	(3)
実施例 37	8.0E18	0.8	5.0E15	10.0E17	-	-	(4)
実施例 38	8.0E18	0.8	5.0E15	10.0E17	-	-	(5)
実施例 39	-	0.8	-	10.0E17	○	-	(1)
実施例 40	-	0.8	-	10.0E17	-	○	(1)
実施例 41	-	0.8	-	10.0E17	○	○	(1)
実施例 42	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 43	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 44	8.0E18	1.1	5.0E15	10.0E17	○	○	(1)

○: 範囲内、-: 範囲外

熱処理条件	(1)	Ar, 1100°C, 60分
	(2)	Ar, 1100°C, 5分
	(3)	O ₂ , 1100°C, 60分
	(4)	Ar, 1000°C, 60分
	(5)	Ar, 1300°C, 5分

表11 (b)

	エビ界面～深さ $1\mu\text{m}$ 欠陥		エビ層欠陥 個/ウェハ
	サイズ $>0.1\mu\text{m}$ $/\text{cm}^3$	サイズ $>20\text{nm}$ $/\text{cm}^3$	
実施例 34	<1.0E2	9.0E2	1.0E9
実施例 35	<1.0E2	1.0E4	1.0E9
実施例 36	1.2E3	3.0E3	1.0E9
実施例 37	<1.0E2	1.0E4	1.0E9
実施例 38	<1.0E2	<1.0E2	1.0E8
実施例 39	4.5E2	1.2E3	5.0E8
実施例 40	9.5E2	1.2E3	1.0E8
実施例 41	3.0E2	1.2E3	6.0E8
実施例 42	<1.0E2	3.0E2	2.0E9
実施例 43	<1.0E2	6.0E2	1.0E9
実施例 44	<1.0E2	<1.0E2	3.0E9

表12 (a)

シリコン基板比抵抗: 0.02Ω・cm

	製造条件						
	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 34	1.0E19	0.9	1.0E16	10.0E17	-	-	(1)
実施例 35	8.0E18	0.9	5.0E15	10.0E17	-	-	(2)
実施例 36	8.0E18	0.9	5.0E15	10.0E17	-	-	(3)
実施例 37	8.0E18	0.9	5.0E15	10.0E17	-	-	(4)
実施例 38	8.0E18	0.9	5.0E15	10.0E17	-	-	(5)
実施例 39	-	0.8	-	10.0E17	○	-	(1)
実施例 40	-	0.8	-	10.0E17	-	○	(1)
実施例 41	-	0.8	-	10.0E17	○	○	(1)
実施例 42	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 43	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 44	8.0E18	1.1	5.0E16	10.0E17	○	○	(1)

○:範囲内、-:範囲外

熱処理条件	(1)	Ar, 1100°C, 60分
	(2)	Ar, 1100°C, 5分
	(3)	O ₂ , 1100°C, 60分
	(4)	Ar, 1000°C, 60分
	(5)	Ar, 1300°C, 5分

表12 (b)

	エビ界面～深さ 1μm 欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 34	<1.0E2	5.0E2	1.0E9	検出されない
実施例 35	<1.0E2	5.0E3	1.0E9	検出されない
実施例 36	<1.0E2	1.0E3	1.0E9	検出されない
実施例 37	<1.0E2	5.0E3	1.0E9	検出されない
実施例 38	<1.0E2	<1.0E2	1.0E8	検出されない
実施例 39	4.5E2	5.0E2	5.0E8	検出されない
実施例 40	9.5E2	5.0E2	1.0E8	検出されない
実施例 41	3.0E2	6.0E2	6.0E8	検出されない
実施例 42	<1.0E2	<1.0E2	2.0E9	検出されない
実施例 43	<1.0E2	2.0E2	1.0E9	検出されない
実施例 44	<1.0E2	<1.0E2	3.0E9	検出されない

【0068】

【表13】

表13 (a)

シリコン基板比抵抗: 10Ω·cm

	製造条件						
	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
比較例 1	-	0.8	-	2.0E17	-	-	-
比較例 2	-	0.8	-	8.0E17	-	-	-
比較例 3	-	0.8	-	10.0E17	-	-	-
比較例 4	8.0E15	0.8	5.0E12	2.0E17	-	-	-
比較例 5	8.0E15	0.8	5.0E12	8.0E17	-	-	-
比較例 6	8.0E15	0.8	5.0E12	10.0E17	-	-	-
比較例 7	4.5E19	0.8	3.0E16	10.0E17	-	-	-

○: 範囲内、-: 範囲外

表13 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
比較例 1	9.0E4	1.0E6	5.0E6	3
比較例 2	1.0E5	3.0E6	2.0E7	6
比較例 3	5.0E5	5.0E6	3.0E7	8
比較例 4	6.0E4	8.0E5	1.0E7	2
比較例 5	1.0E5	2.0E6	3.0E7	4
比較例 6	3.0E5	5.0E6	5.0E7	3
比較例 7	1.0E3	2.0E5	5.0E9	75

[0069]

* * [表14]

表14 (a)

シリコン基板比抵抗: 0.02Ω·cm

	製造条件						
	融液空素 /cm ³	引上速度 mm/分	結晶空素 /cm ³	結晶酸素 /cm ³	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
比較例 1	-	0.8	-	2.0E17	-	-	-
比較例 2	-	0.9	-	8.0E17	-	-	-
比較例 3	-	0.9	-	10.0E17	-	-	-
比較例 4	8.0E15	0.8	6.0E12	2.0E17	-	-	-
比較例 5	8.0E15	0.9	5.0E12	8.0E17	-	-	-
比較例 6	8.0E15	0.9	5.0E12	10.0E17	-	-	-
比較例 7	4.5E19	0.9	3.0E16	10.0E17	-	-	-

○: 範囲内、-: 範囲外

表14 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
比較例 1	1.0E5	3.5E6	5.0E6	3
比較例 2	2.0E5	2.0E6	2.0E7	6
比較例 3	4.0E5	6.0E6	3.0E7	8
比較例 4	9.0E4	1.0E6	1.0E7	2
比較例 5	1.5E5	2.0E6	3.0E7	4
比較例 6	2.5E5	5.0E6	5.0E7	3
比較例 7	1.5E3	1.0E5	1.0E10	55

[0070]

【発明の効果】本発明のシリコン半導体基板は、エビタキシャル層内およびエビタキシャル層とサブストレートウェハの界面付近において欠陥発生が極めて少ない基板で、デバイス製造熱処理工程を経てもエビタキシャル層への結晶欠陥の発生を生じない基板であり、また、ウェハ内部析出物が十分あるためデバイスプロセス熱処理に

おけるゲッタリング能力に優れたエビタキシャルウェハである。本発明の製造方法は、前記シリコン半導体基板を従来よりも単純・容易に低成本で製造することが可能である。

【図面の簡単な説明】

【図1】図1は本発明のシリコン半導体基板の概念図の50一例である。

【図2】図2は本発明のシリコン半導体基板の概念図の一例である。

【図3】図3は特に、結晶冷却装置等を設置しない通常のCZ単結晶引上げ装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図4】図4は凝固温度から800°Cの結晶温度領域のすべての領域を2.0°C/分以上で急冷ができるよう結晶冷却装置20を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図5】図5は800°Cから400°Cの結晶温度領域のすべての領域を1.0°C/分以上で急冷ができるよう結晶冷却装置30を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図6】図6は図4の装置に800°Cから400°Cの結晶温度領域のすべての領域を1.0°C/分以上で急冷ができるよう結晶冷却装置30を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図7】図7はエピタキシャルシリコンウェハ表面に銅、ニッケル、鉄などの金属不純物を故意に 10^{12} atom s/cm²程度汚染させた後、さらに該ウェハにCMOS熱*

【図1】

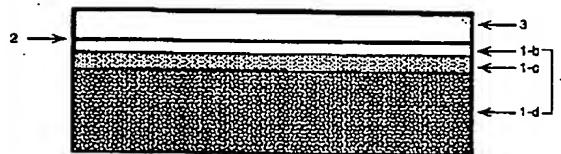


*処理を施した後のP/Nリート電流の増加量に対するパルク欠陥密度の関係を示すグラフである。

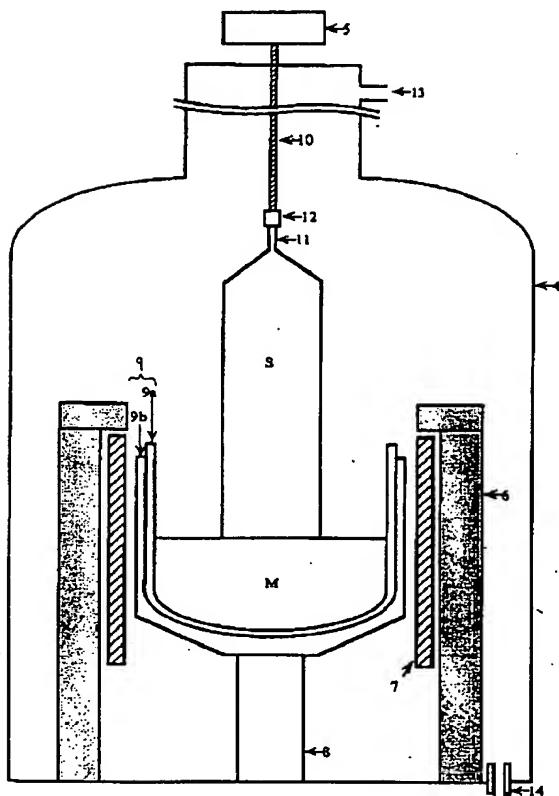
【符号の説明】

- 1 …サブストレートシリコンウェハ
- 1 a …窒素添加サブストレートシリコンウェハ
- 1 b …無欠陥領域
- 1 c …欠陥密度漸次変化領域
- 1 d …IG層
- 2 …エピタキシャル層／サブストレートウェハ界面
- 10 3 …エピタキシャル層
- 4 …CZ法シリコン単結晶引上げ炉
- 5 …ワイヤ巻き上げ機
- 6 …断熱材
- 7 …加熱ヒータ
- 8 …回転治具
- 9 …ルツボ
- 9 a …石英ルツボ
- 9 b …黒鉛ルツボ
- 10 …ワイヤ
- 20 11 …種結晶
- 12 …チャック
- 13 …ガス導入口
- 14 …ガス排出口
- 20 …高温領域結晶急冷装置
- 30 …低温領域結晶急冷装置
- S …引上げシリコン結晶
- M …シリコン融液

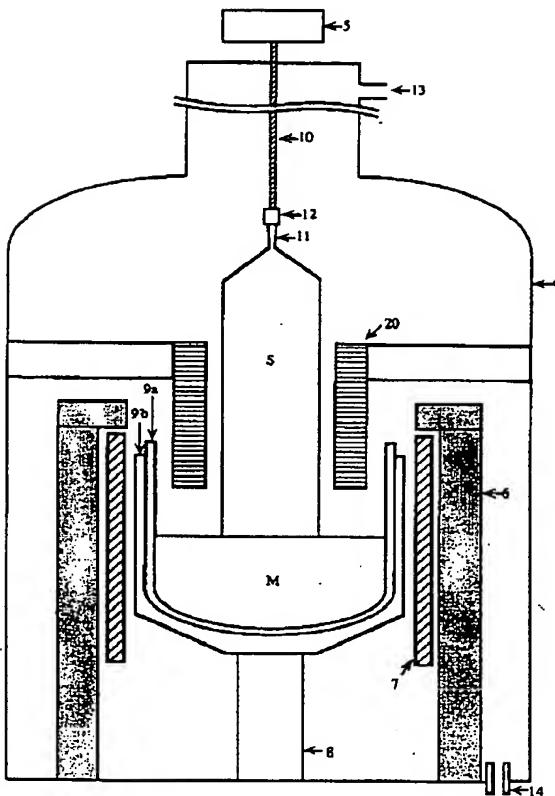
【図2】



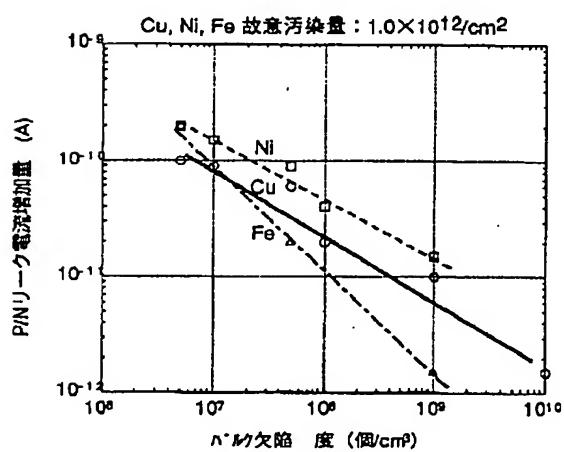
【図3】



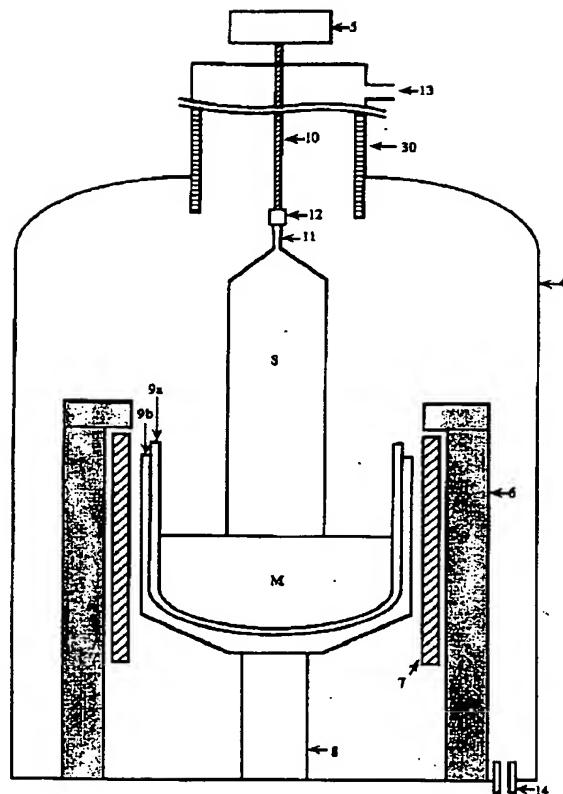
【図4】



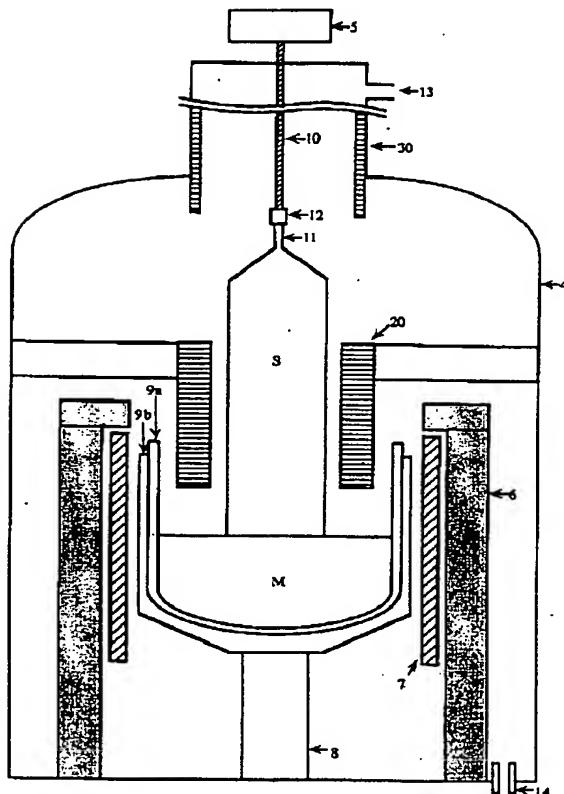
【図7】



【図5】



【図6】



フロントページの続き

(72)発明者 中居 克彦
神奈川県川崎市中原区井田3-35-1 新
日本製鐵株式会社技術開発本部内
(72)発明者 岩崎 俊夫
山口県光市島田3434番地 ニッテツ電子株
式会社内

(72)発明者 大橋 渡
神奈川県川崎市中原区井田3-35-1 新
日本製鐵株式会社技術開発本部内
(72)発明者 碇 敦
神奈川県川崎市中原区井田3-35-1 新
日本製鐵株式会社技術開発本部内